

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093622
 (43)Date of publication of application : 29.03.2002

(51)Int.CI. H01F 17/00
 H01L 21/76
 H01L 27/04
 H01L 21/822

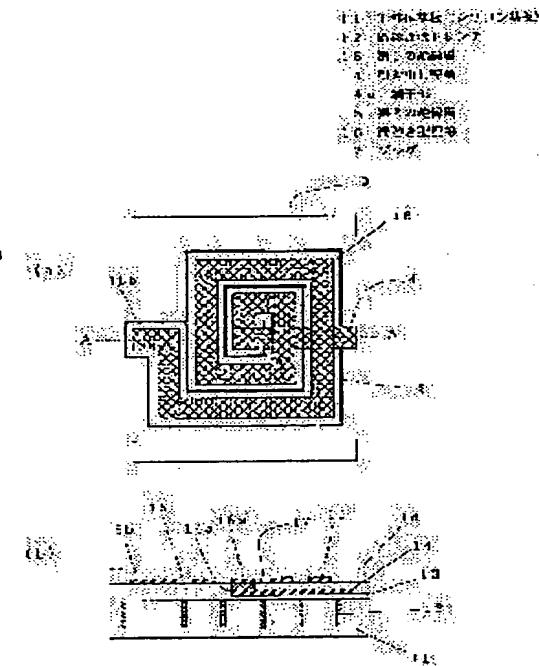
(21)Application number : 2000-281545 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 18.09.2000 (72)Inventor : NAKATANI TOSHIBUMI
 ANDO TOSHIAKI
 SAKAKURA MAKOTO
 HIRAOKA YUKIO

(54) INDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that conventionally a parasitic capacitance C_p , generated between a whirl-type wiring and a silicon substrate, and a resistance component R_p carried in the silicon substrate between the whirl-type wirings cannot be controlled sufficiently on inductor element.

SOLUTION: In an inductor element, a whirl-type trench located between the whirl-type wirings and around these whirl type wirings is formed on a semiconductor substrate via an insulating layer, so that these whirl type wirings are surrounded by the trench. The inside of the trench is filled with an insulating material.



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-93622

(P 2002-93622 A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl.⁷
 H01F 17/00
 H01L 21/76
 27/04
 21/822

識別記号

F I
 H01F 17/00
 H01L 21/76
 27/04

マークド (参考)

B 5E070
 L 5F032
 L 5F038

審査請求 未請求 請求項の数10 O L (全9頁)

(21)出願番号 特願2000-281545(P 2000-281545)

(22)出願日 平成12年9月18日(2000.9.18)

(71)出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地

(72)発明者 中谷 俊文
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72)発明者 安藤 敏晃
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

(74)代理人 100097445
 弁理士 岩橋 文雄 (外2名)

最終頁に続く

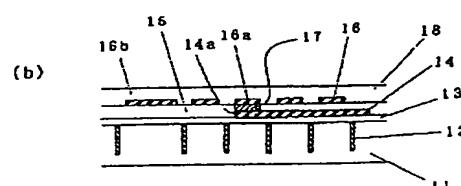
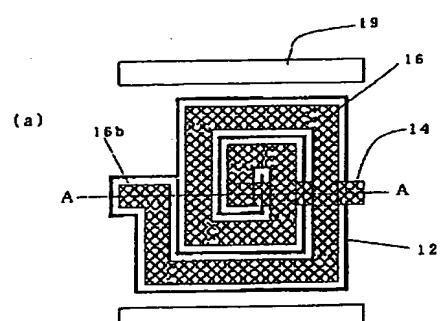
(54)【発明の名称】インダクタ素子

(57)【要約】

【課題】 従来のインダクタ素子の構成では、渦巻き型配線とシリコン基板との間に発生する寄生容量C_pおよびシリコン基板中を流れる渦巻き型配線間の抵抗成分R_pを十分に抑制することができなかった。

【解決手段】 半導体基板上に絶縁層を介して形成された渦巻き型配線の隣り合う配線間およびその渦巻き型配線の外周に対応する半導体基板の位置に、渦巻き型配線を包囲するように渦巻き状のトレンチを形成し、そのトレンチの内部に絶縁性物質を充填した構成を有する。

- 11 半導体基板(シリコン基板)
- 12 渦巻き状トレンチ
- 13 第1の絶縁層
- 14 引き出し配線
- 14a 端子部
- 15 第2の絶縁層
- 16 捕獲型配線
- 17 ブラグ



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第 1 の絶縁層と、前記第 1 の絶縁層上に形成された引き出し配線と、前記引き出し配線の上面に形成された第 2 の絶縁層と、前記第 2 の絶縁層上に前記引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、前記渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する前記半導体基板の位置に形成された渦巻き状のレンチと、前記レンチの内部に充填された絶縁性物質とを有するインダクタ素子。

【請求項 2】 絶縁性物質が充填された渦巻き状のレンチが、半導体基板上に形成されている渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する前記半導体基板の位置に複数本平行して形成されていることを特徴とする請求項 1 記載のインダクタ素子。

【請求項 3】 半導体基板上に形成された第 1 の絶縁層と、前記第 1 の絶縁層上に形成された引き出し配線と、前記引き出し配線の上面に形成された第 2 の絶縁層と、前記第 2 の絶縁層上に前記引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、前記渦巻き型配線の直下および前記渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する前記半導体基板の位置に複数本形成された渦巻き状のレンチと、前記レンチの内部に充填された絶縁性物質とを有するインダクタ素子。

【請求項 4】 半導体基板上に形成された第 1 の絶縁層と、前記第 1 の絶縁層上に形成された引き出し配線と、前記引き出し配線の上面に形成された第 2 の絶縁層と、前記第 2 の絶縁層上に前記引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、前記渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する前記半導体基板の位置に複数本形成された渦巻き状のレンチと、前記渦巻き型配線直下に対応する前記半導体基板の位置に前記渦巻き型配線の渦巻き方向に対してほぼ直交して複数個並列して形成されたドミノ型レンチと、前記レンチの内部に充填された絶縁性物質とを有するインダクタ素子。

【請求項 5】 請求項 4 に記載のインダクタ素子の構成において、渦巻き型配線が直角に曲がる隅部直下に対応する半導体基板に形成する各レンチの形状を、前記渦巻き型配線直下に設けられたドミノ型レンチに対して異なる長さまたは異なる角度で形成したことを特徴とするインダクタ素子。

【請求項 6】 半導体基板上に形成された第 1 の絶縁層と、前記第 1 の絶縁層上に形成された引き出し配線と、前記引き出し配線の上面に形成された第 2 の絶縁層と、前記第 2 の絶縁層上に前記引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、前記渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する前記半導体基板の位置に複数本形

成された渦巻き状のレンチと、前記渦巻き型配線直下に対応する前記半導体基板の位置に形成された複数本の渦巻き状のレンチおよび前記渦巻き型配線の渦巻き方向に対してほぼ直交して複数個並列して形成された複数のドミノ型レンチと、前記レンチの内部に充填された絶縁性物質とを有するインダクタ素子。

【請求項 7】 渦巻き状のレンチは、平面構造において渦巻き型配線を渦巻き状に包囲する形状で形成されていることを特徴とする請求項 1 から 6 のいずれかに記載のインダクタ素子。

【請求項 8】 レンチの下層に絶縁層を設けたことを特徴とする請求項 1 から 7 のいずれかに記載のインダクタ素子。

【請求項 9】 レンチの下部領域に空乏層を設けたことを特徴とする請求項 1 から 7 のいずれかに記載のインダクタ素子。

【請求項 10】 レンチは、その平面的構造において交差または T 字型交点を形成させない構成であることを特徴とする請求項 1 から 9 のいずれかに記載のインダクタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波領域において使用されるインダクタ素子、特に高周波で動作する集積回路が形成された半導体基板上に形成された、いわゆるオンチップタイプのインダクタ素子の構造に関する。

【0002】

【従来の技術】 近年、携帯電話や携帯端末 (PDA) に代表される移動体通信機器の技術革新は急激に進歩しており、機器の高機能化、小型軽量化に応えるための半導体集積回路の小型高集積化、低消費電力化への取り組みが急ピッチで進んでいる。

【0003】マイクロウェーブ領域の高周波で動作するシステムにはインダクタやキャパシタのような受動素子が従来外付け部品として使用されてきたが、これらの外付け部品の高集積化や半導体チップへの内蔵による携帯機器の小型軽量化が強く要望されている。

【0004】しかしながらシリコン基板上に絶縁層を介してインダクタを形成した場合、シリコン基板は導電体として作用するためインダクタを構成する配線とシリコン基板との間に寄生容量が発生し、高周波で入力される信号のシリコン基板への洩れ経路を形成することになり、性能を劣化させる要因となっている。これを解決するために従来トランジスタの素子間の分離に用いられたレンチを応用する技術が報告されている。

【0005】図 9 (a), (b), (c) はこのような従来のインダクタ素子の一例を示すものであり、図に示すように不純物がドープされたシリコン基板 1 の表面には一定の深さと一定の幅を有するレンチ 2 が形成されている。このレンチ 2 が形成されたシリコン基板 1 の

表面には第1の絶縁層3が形成され、この第1の絶縁層3上にはA1等の導電膜よりなる引き出し配線4が形成されている。この引き出し配線4の一部を覆って第1の絶縁層3の上には第2の絶縁層5が形成され、この第2の絶縁層5上にはインダクタを構成するA1等の導電膜よりなる渦巻き型配線6が形成されている。

【0006】この渦巻き型配線6の内側端の内部接点6aは第2の絶縁層5を貫通して形成されたプラグ7によって引き出し配線4に接続されていて引き出し配線4は外部の入力または出力端子(図示せず)に接続される。

【0007】一方渦巻き型配線6の外側端は外部接点6bを形成しており、渦巻き型配線6の側方にはグランド電極8が設けられている。

【0008】上記従来のインダクタ素子の構成においてトレンチ2には導電率が低い絶縁物質が充填されていてインダクタを構成する導電体と基板間に発生する寄生容量を小さくし、また基板への流れ電流を防止している。

【0009】なお、図9(c)は図9(a)に示す平行して形成されているトレンチ2に直交してトレンチ2aが設けられている場合を示すものである。

【0010】

【発明が解決しようとする課題】しかしながら上記従来のインダクタ素子の構成では、トレンチ2が平行に形成されている場合、トレンチ2に垂直に交差する渦巻き型配線6どうしの分離が弱く、図10に示すように渦巻き型配線6とシリコン基板1との間に発生する寄生容量Cpおよびシリコン基板1中を流れる渦巻き型配線6間の抵抗成分Rpをトレンチ2, 2a(図示せず)によって十分に抑制することができないという課題がある。

【0011】また図9(c)のように格子状に形成したトレンチ2, 2aはその交差部において充填されている絶縁物質の平面性が悪く、半導体基板の平坦性を低下させるという課題を有している。

【0012】本発明は上記課題を解決するものであり、インダクタ素子を形成する渦巻き型配線間を効率よく分離することができ、したがって信号の損失を低減することができるインダクタ素子を提供することを目的とするものである。

【0013】

【課題を解決するための手段】上記目的を達成するために本発明は、半導体基板上に絶縁層を介して形成された渦巻き型配線の隣り合う配線間およびその渦巻き型配線の外周に対応する半導体基板の位置に、渦巻き型配線を包囲するように渦巻き状のトレンチを形成し、そのトレンチの内部に絶縁性物質を充填した構成を有するものであり、オンチップタイプのインダクタ素子の配線間の分離を大きくすることができるため、信号の半導体基板へのリークを低減し、また信号のシリコン基板における損失を低減することが可能となる。

【0014】本発明の請求項1に記載の発明は、半導体

基板上に形成された第1の絶縁層と、第1の絶縁層上に形成された引き出し配線と、その引き出し配線の上面に形成された第2の絶縁層と、第2の絶縁層上に引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する半導体基板の位置に形成された渦巻き状のトレンチと、トレンチの内部に充填された絶縁性物質とを備えるものであり、半導体基板との寄生容量を大幅に低減することができとともに信号の半導体基板へのリークを低減し、また信号のシリコン基板における損失を低減することが可能となる。

【0015】本発明の請求項2に記載の発明は、請求項1に記載のインダクタ素子に関し、絶縁性物質が充填された渦巻き状のトレンチが、半導体基板上に形成されている渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する半導体基板の位置に複数本平行して形成されていることを特徴とするものであり、配線間のより効果的な分離を得ることができる。

【0016】本発明の請求項3に記載の発明は、半導体基板上に形成された第1の絶縁層と、第1の絶縁層上に形成された引き出し配線と、その引き出し配線の上面に形成された第2の絶縁層と、その第2の絶縁層上に引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、渦巻き型配線の直下および渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する半導体基板の位置に複数本形成された渦巻き状のトレンチと、トレンチの内部に充填された絶縁性物質とを備えるものである。

【0017】本発明の請求項4に記載の発明は、半導体基板上に形成された第1の絶縁層と、第1の絶縁層上に形成された引き出し配線と、その引き出し配線の上面に形成された第2の絶縁層と、その第2の絶縁層上に引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する半導体基板の位置に複数本形成された渦巻き状のトレンチと、渦巻き型配線直下に対応する半導体基板の位置に渦巻き型配線の渦巻き方向に対してほぼ直交して複数個並列して形成されたドミノ型トレンチと、トレンチの内部に充填された絶縁性物質とを備えるものであり、シリコン基板に流れる渦電流を低減することができ、インダクタに流れる信号成分の損失を低減できる。

【0018】本発明の請求項5に記載の発明は、請求項4に記載のインダクタ素子に関し、渦巻き型配線が直角に曲がる隅部直下に対応する半導体基板に形成する各トレンチの形状を、渦巻き型配線直下に設けられたドミノ型トレンチに対して異なる長さまたは異なる角度で形成したことを特徴とするものである。

【0019】本発明の請求項6に記載の発明は、半導体基板上に形成された第1の絶縁層と、第1の絶縁層上に

形成された引き出し配線と、その引き出し配線の上面に形成された第2の絶縁層と、その第2の絶縁層上に引き出し配線の一部と導電性のプラグで電気的に接続して形成された渦巻き型配線と、渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応する半導体基板の位置に複数本形成された渦巻き状のトレンチと、渦巻き型配線直下に対応する半導体基板の位置に形成された複数本の渦巻き状のトレンチおよび渦巻き型配線の渦巻き方向に対してほぼ直交して複数個並列して形成された複数のドミノ型トレンチと、トレンチの内部に充填された絶縁性物質とを備えるものである。

【0020】本発明の請求項7に記載の発明は、請求項1から6のいずれかに記載のインダクタ素子に関し、渦巻き状のトレンチが平面構造において渦巻き型配線を渦巻き状に包围する形状で形成されているものである。

【0021】本発明の請求項8に記載の発明は、請求項1から7のいずれかに記載のインダクタ素子に関し、トレンチの下層に絶縁層を設けたものである。

【0022】本発明の請求項9に記載の発明は、請求項1から7のいずれかに記載のインダクタ素子に関し、トレンチの下部領域に空乏層を設けたものである。

【0023】本発明の請求項10に記載の発明は、請求項1から9のいずれかに記載のインダクタ素子に関し、トレンチがその平面的構造において交差またはT字型交点を形成させない構成とするものであり、トレンチの交点におけるシリコン基板の平坦性を向上させることにより配線間の分離をより確実なものとすることができます。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0025】(実施の形態1) 図1は本発明の第1の実施の形態におけるインダクタ素子の構成を説明する平面図(a)および図1(a)のA-A線における断面図(b)であり、図に示すように不純物がドープされたシリコン基板11の表面に所定の深さおよび所定の幅を有する渦巻き状トレンチ12を形成し、その内部に酸化膜SiO₂を形成した後、絶縁性物質を充填する。

【0026】つぎにこの渦巻き状トレンチ12が形成されたシリコン基板11の表面に第1の絶縁層13を被覆し、その第1の絶縁層13の表面にA1等の金属膜よりなる引き出し配線14を形成する。

【0027】さらにこの引き出し配線14をその端子部14aを残して第2の絶縁層15により被覆し、端子部14a上にタンゲステン等よりなるプラグ17を埋め込んだのち、この第2の絶縁層15の上面にインダクタを構成するA1等の金属膜よりなる渦巻き型配線16を形成し、さらにその上面に保護層18を形成する。

【0028】この渦巻き型配線16はその内周端にプラグ17を介して引き出し配線14の端子部14aと接続

する内部端子16aと、外周端部に外部端子16bとを備えている。

【0029】外部端子16bと引き出し配線14は外部の入出力端子(図示せず)に接続される。

【0030】図1(a)より明らかのように本実施の形態における渦巻き状トレンチ12はインダクタを構成する渦巻き型配線16の配線間および渦巻き型配線16の外周に対応するシリコン基板11の内部に渦巻き型配線16を完全に包囲するように形成されている。

【0031】このように本実施の形態によれば、渦巻き型配線16の配線間に渦巻き状トレンチ12を形成し、その内部に絶縁性物質を充填しているために渦巻き型配線16を流れる信号がシリコン基板11を介して隣接する渦巻き型配線16へ洩出することを防止でき、それによりインダクタに流れる信号成分のシリコン基板での損失を低減することができる。

【0032】(実施の形態2) 次に本発明の第2の実施の形態について第1の実施の形態と同一部分には同一番号を付して説明する。

【0033】図2(a)、(b)は第2の実施の形態におけるインダクタ素子の構成を示す平面図(a)と断面図(b)であり、本実施の形態が第1の実施の形態と異なる点は、渦巻き型配線16の配線間および渦巻き型配線16の外周に対応するシリコン基板11の内部に複数の渦巻き状トレンチ22を形成した点である。

【0034】このように本実施の形態によれば、上記第1の実施の形態において得られる効果に加えてさらに配線間の分離効果を大きくすることができる。

【0035】(実施の形態3) 次に本発明の第3の実施の形態について第1の実施の形態と同一部分には同一番号を付して説明する。

【0036】図3(a)、(b)は第3の実施の形態におけるインダクタ素子の構成を示す平面図(a)と断面図(b)であり、本実施の形態が第1、第2の実施の形態と異なる点は渦巻き型配線16の配線間および渦巻き型配線16の外周に対応するシリコン基板11の内部に複数の渦巻き状トレンチ32と、渦巻き型配線16の直下に対応するシリコン基板11の内部に渦巻き状トレンチ33とを形成した点である。

【0037】このように本実施の形態によれば、渦巻き型配線間の分離をより効果的に行うことができる。

【0038】(実施の形態4) 次に本発明の第4の実施の形態について第1の実施の形態と同一部分には同一番号を付して説明する。

【0039】図4(a)、(b)は第4の実施の形態におけるインダクタ素子の構成を示す平面図(a)と断面図(b)であり、本実施の形態が上記本発明の各実施の形態と異なる点は、渦巻き型配線16の配線間および渦巻き型配線16の外周に対応するシリコン基板11の内部に複数の渦巻き状トレンチ42と、渦巻き型配線16の

50

直下に対応するシリコン基板11の内部に渦巻き状トレチ42に対して垂直状に並列して形成された複数のドミノ型トレチ43を有する点である。

【0040】このように本実施の形態によれば、渦巻き型配線16の配線間に渦巻き状トレチ42を形成し、その内部に絶縁性物質を充填しているために渦巻き型配線16を流れる信号がシリコン基板を介して隣接する渦巻き型配線16へ洩出することを低減でき、それによりインダクタに流れる信号成分の損失を低減できる。さらに渦巻き型配線16の直下に絶縁性物質が充填された複数のドミノ型トレチ43を形成することにより、インダクタより発生する磁束に起因するシリコン基板に流れる渦電流を低減することができ、それによりインダクタに流れる信号成分の損失を低減することができる。

【0041】(実施の形態5) 次に本発明の第5の実施の形態について説明する。本実施の形態は第4の実施の形態において渦巻き型配線16の角部にもトレチを形成したものである。

【0042】図5(a)、(b)、(c)はその構成を示すものであり、渦巻き型配線16の角部を拡大して示している。

【0043】図5(a)に示すように本実施の形態では、渦巻き型配線16が直角に曲がる隅部にドミノ型トレチ43に対して45度の角度で複数の長さの異なる隅トレチ53aを形成している。

【0044】また、図5(b)はこの隅部の隅トレチ53bを隅部の対角線上に形成した1本のトレチとドミノ型トレチ43と平行に異なる長さで形成した複数の短いトレチとから構成したものである。

【0045】また、図5(c)は図5(a)と図5(b)に示した隅部のトレチ構造を複合した形状の隅トレチ53cを設けたものである。

【0046】このように本実施の形態によれば、渦巻き型配線16が直角に曲がる隅部の直下に位置するシリコン基板中にも隅トレチ53を形成しているために隅部における信号の洩れ成分によって発生する渦電流を効果的に阻止することができる。

【0047】(実施の形態6) 次に本発明の第6の実施の形態について第1の実施の形態と同一部分には同一番号を付して説明する。

【0048】図6(a)、(b)は第6の実施の形態におけるインダクタ素子の構成を示す平面図(a)と断面図(b)であり、本実施の形態が上記本発明の各実施の形態と異なる点は、渦巻き型配線16の配線間および渦巻き型配線16の外周に対応するシリコン基板11の内部に複数の第1の渦巻き状トレチ62と、渦巻き型配線16の直下に対応するシリコン基板11の内部に複数の第2の渦巻き状トレチ63と、渦巻き状トレチ62に対して垂直状に並列して形成された複数のドミノ型トレチ64を形成した点である。

【0049】なお、本実施の形態においても上記第5の実施の形態におけるインダクタ素子と同様に渦巻き型配線16の隅部に角トレチを設けることができる。

【0050】このように本実施の形態によれば、上記第3、第4の実施の形態において得られる効果を更に高めることが可能となる。

【0051】(実施の形態7) 次に本発明の第7の実施の形態について第1の実施の形態と同一部分には同一番号を付して説明する。

【0052】図7(a)、(b)は第7の実施の形態におけるインダクタ素子の構成を示す平面図(a)と断面図(b)であり、本実施の形態が本発明の第1の実施の形態と異なる点は、本実施の形態においてp型ウェル層71内に形成した渦巻き状トレチ72の下方のシリコン基板11に絶縁層としてSiO₂よりなる埋め込み酸化層73を形成した点である。

【0053】なお、絶縁層としてSiO₂等の酸化物以外にSiN等の窒化物を用いることも可能である。

【0054】このように本実施の形態によれば、渦巻き型配線16の配線間に位置するシリコン基板中に渦巻き状トレチ72を形成し、その内部に絶縁性物質を充填するとともに渦巻き状トレチ72の下部に形成された埋め込み酸化層73により、渦巻き型配線16を流れる信号がp型ウェル層71を介して隣接する渦巻き型配線へ洩出することを阻止することができ、それによりインダクタに流れる信号成分のシリコン基板での損失を低減できる。

【0055】(実施の形態8) 次に本発明の第8の実施の形態について第1の実施の形態と同一部分には同一番号を付して説明する。

【0056】図8(a)、(b)は第8の実施の形態におけるインダクタ素子の構成を示す平面図(a)と断面図(b)であり、本実施の形態が本発明の第1の実施の形態と異なる点は、本実施の形態においてn型ウェル層81内に形成した渦巻き状トレチ82の下方のシリコン基板11にn型空乏層83を形成した点である。

【0057】このように本実施の形態によれば、渦巻き型配線16の配線間に位置するシリコン基板中に渦巻き状トレチ82を形成し、その内部に絶縁性物質を充填するとともに渦巻き状トレチ82の下部に形成されたn型空乏層83により、渦巻き型配線16を流れる信号がn型ウェル層81を介して隣接する渦巻き型配線へ洩出することを阻止することができ、それによりインダクタに流れる信号成分のシリコン基板での損失を低減できる。

【0058】

【発明の効果】上記実施の形態より明らかなように本発明は、渦巻き型配線の隣り合う配線間および渦巻き型配線の外周に対応するシリコン基板の位置に高い絶縁性を有する渦巻き状のトレチを配設するものであり、した

がって渦巻き型配線間の寄生容量を低減することができ、渦巻き型配線内を伝送する信号がシリコン基板中へ漏洩する事がないのでシリコン基板の抵抗成分による信号の伝送ロスを低減することが可能となり、電気的特性に優れたインダクタ素子を提供することができる。

【図面の簡単な説明】

【図1】(a)、(b)は、本発明の第1の実施の形態におけるインダクタ素子の構成を示す透視平面図および断面図

【図2】(a)、(b)は、本発明の第2の実施の形態におけるインダクタ素子の構成を示す透視平面図および断面図

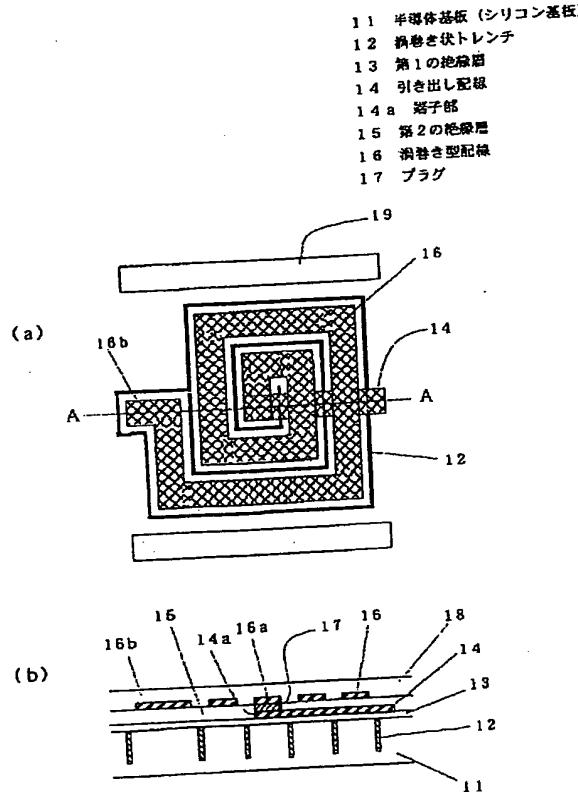
【図3】(a)、(b)は、本発明の第3の実施の形態におけるインダクタ素子の構成を示す透視平面図および断面図

【図4】(a)、(b)は、本発明の第4の実施の形態におけるインダクタ素子の構成を示す透視平面図および断面図

【図5】(a)、(b)、(c)は、本発明の第5の実施の形態における渦巻き型配線とドミノ型トレンチの配置状態を示す断面図

【図6】(a)、(b)は、本発明の第6の実施の形態

【図1】



におけるインダクタ素子の構成を示す透視平面図および断面図

【図7】(a)、(b)は、本発明の第7の実施の形態におけるインダクタ素子の構成を示す透視平面図および断面図

【図8】(a)、(b)は、本発明の第8の実施の形態におけるインダクタ素子の構成を示す透視平面図および断面図

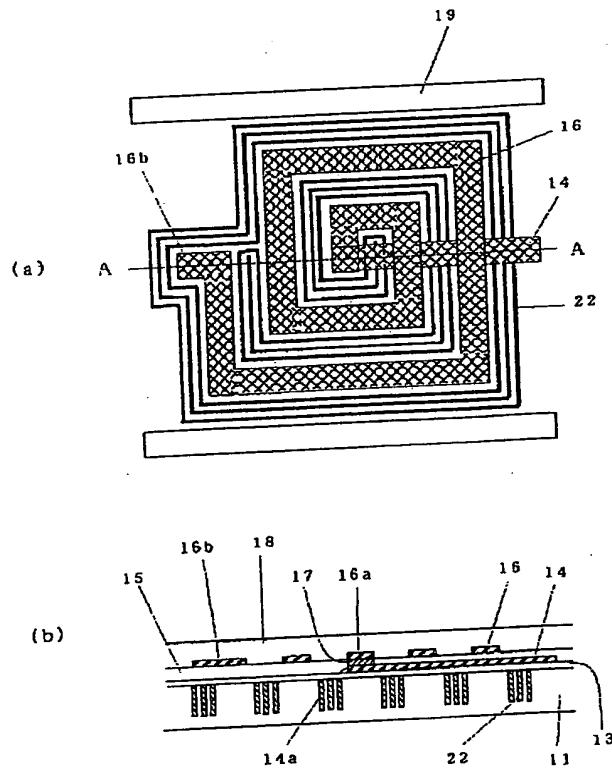
【図9】(a)、(b)、(c)は、従来のインダクタ素子の構成を示す透視平面図および断面図および格子状に形成されたトレンチの平面図

【図10】従来のインダクタ素子における課題を説明する概略断面図

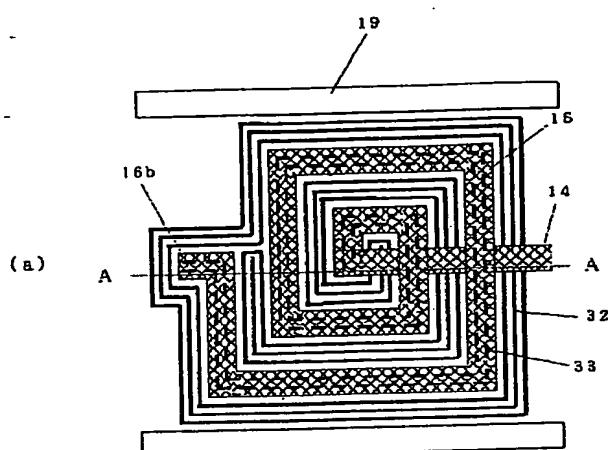
【符号の説明】

- 11 半導体基板(シリコン基板)
- 12 渦巻き状トレンチ
- 13 第1の絶縁層
- 14 引き出し配線
- 14a 端子部
- 15 第2の絶縁層
- 16 渦巻き型配線
- 17 ブラグ

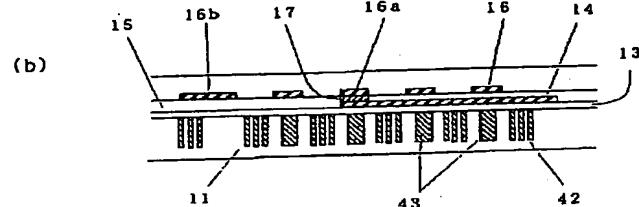
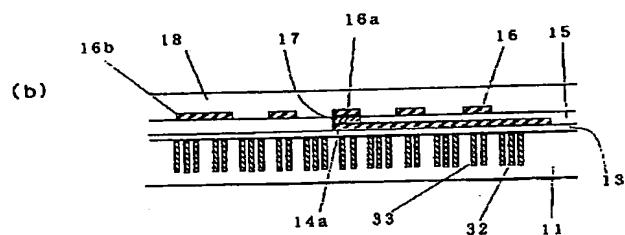
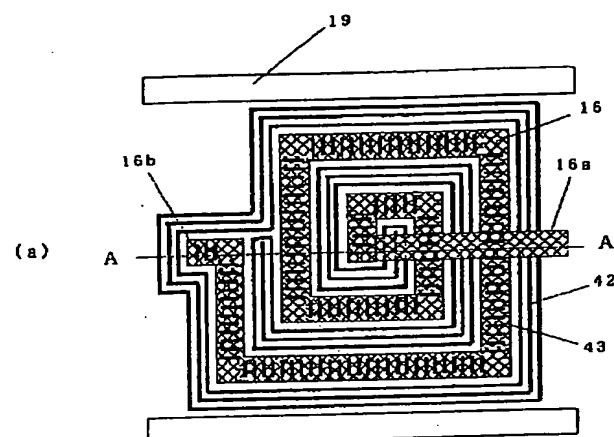
【図2】



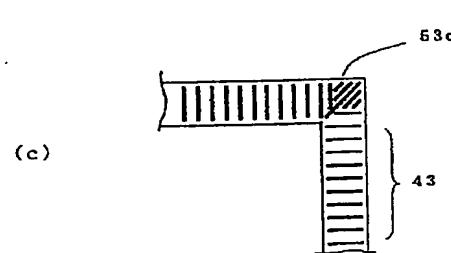
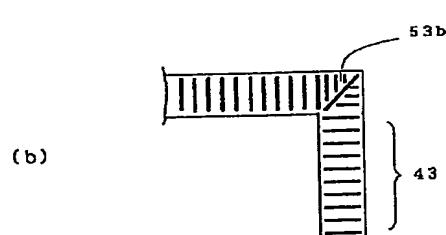
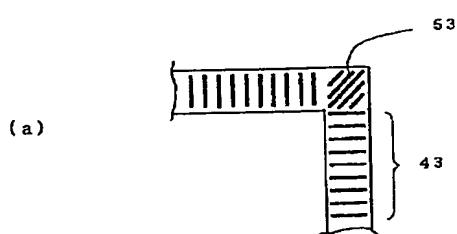
【図3】



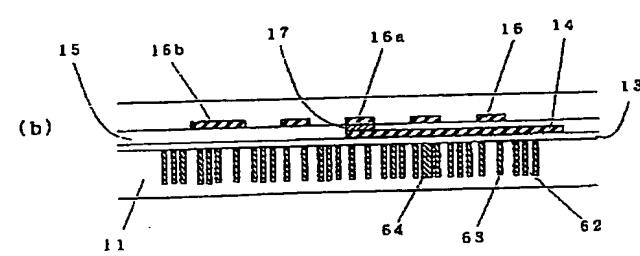
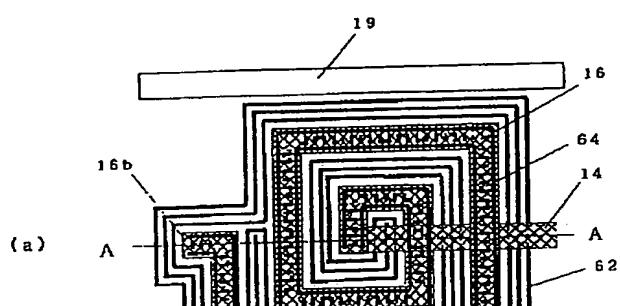
【図4】



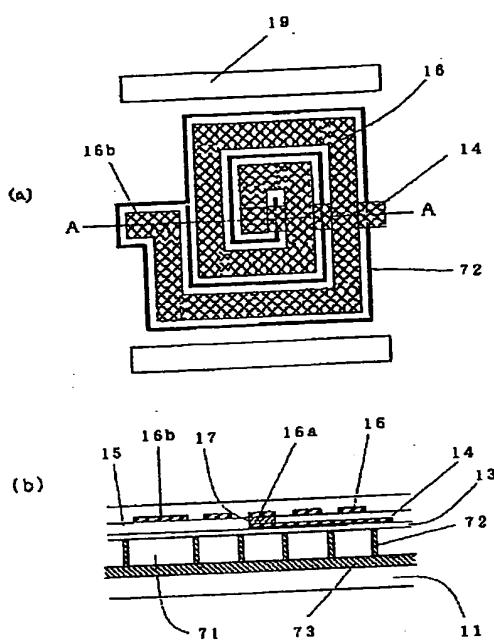
【図5】



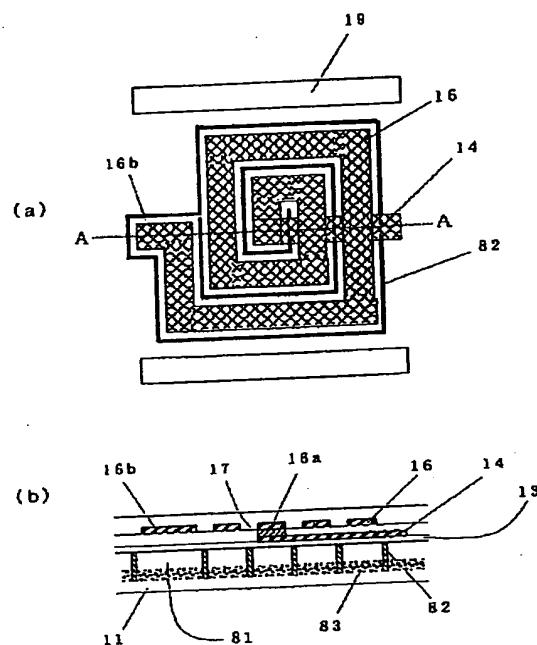
【図6】



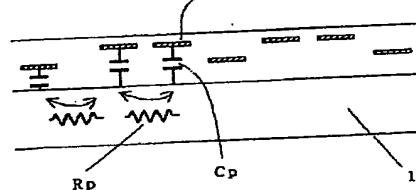
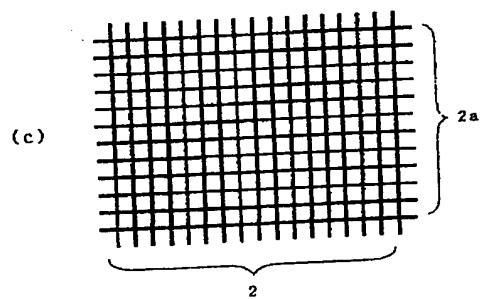
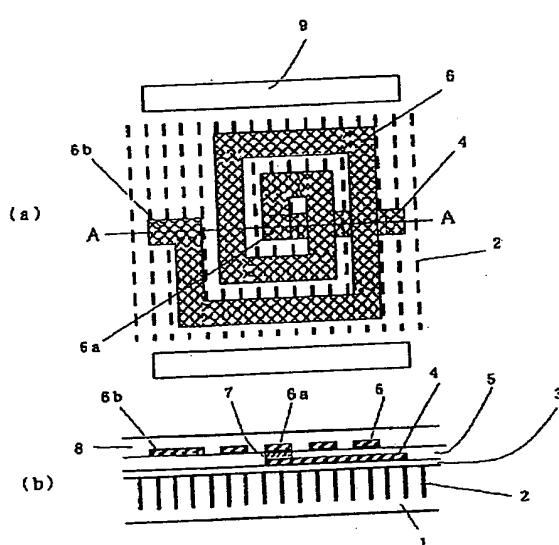
【図7】



【図8】



【図9】



【図10】

BEST AVAILABLE COPY

フロントページの続き

(72)発明者 坂倉 真
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 平岡 幸生
京都府長岡京市神足焼町1 松下電子工業
株式会社内

Fターム(参考) 5E070 AA01 AB03 CB02 CB12
5F032 AA35 AA44 AA70 BA01 BA05
BB03 CA14 DA78
5F038 AZ04 BH10 CA09 EZ06 EZ20